

特 許 協 力 条 約

PCT

国際予備審査報告

(法第12条、法施行規則第56条)
[PCT36条及びPCT規則70]

REC'D 07 OCT 2004

WIPO

PCT

出願人又は代理人 の書類記号 ET001PC	今後の手続きについては、国際予備審査報告の送付通知(様式PCT/ IPEA/416)を参照すること。	
国際出願番号 PCT/JP03/07991	国際出願日 (日.月.年) 24.06.2003	優先日 (日.月.年) 26.06.2002
国際特許分類(IPC) Int. Cl. 7 G06F7/00, G06F17/50		
出願人(氏名又は名称) 株式会社イーツリーズ・ジャパン		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条(PCT36条)の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 5 ページからなる。
- ☒ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。
(PCT規則70.16及びPCT実施細則第607号参照)
この附属書類は、全部で 9 ページである。
3. この国際予備審査報告は、次の内容を含む。
- I ☒ 国際予備審査報告の基礎
 - II ☐ 優先権
 - III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
 - IV ☐ 発明の単一性の欠如
 - V ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
 - VI ☐ ある種の引用文献
 - VII ☐ 国際出願の不備
 - VIII ☒ 国際出願に対する意見

国際予備審査の請求書を受理した日 04.12.2003	国際予備審査報告を作成した日 26.08.2004	
名称及びあて先 日本国特許庁(IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 早川 学 電話番号 03-3581-1101 内線 3531	5H 9652

様式PCT/IPEA/409(表紙)(1998年7月)

BEST AVAILABLE COPY

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
 PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

- ☒ 明細書 第 1-16, 18-22 ページ、
 明細書 第 ページ、
 明細書 第 17, 17/1 ページ、
 出願時に提出されたもの
 国際予備審査の請求書と共に提出されたもの
 29.03.2004 付の書簡と共に提出されたもの
- ☒ 請求の範囲 第 項、
 請求の範囲 第 項、
 請求の範囲 第 項、
 請求の範囲 第 項、
 出願時に提出されたもの
 PCT19条の規定に基づき補正されたもの
 国際予備審査の請求書と共に提出されたもの
 25.06.2004 付の書簡と共に提出されたもの
- ☒ 図面 第 1-24 ~~ページ~~/図、
 図面 第 ページ/図、
 図面 第 ページ/図、
 出願時に提出されたもの
 国際予備審査の請求書と共に提出されたもの
 付の書簡と共に提出されたもの
- ☐ 明細書の配列表の部分 第 ページ、
 明細書の配列表の部分 第 ページ、
 明細書の配列表の部分 第 ページ、
 出願時に提出されたもの
 国際予備審査の請求書と共に提出されたもの
 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出された磁気ディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された磁気ディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列と磁気ディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- ☐ 明細書 第 _____ ページ
☒ 請求の範囲 第 1-27 項
☐ 図面 図面の第 _____ ページ/図

5. ☒ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)	請求の範囲	有
	請求の範囲	無
進歩性(IS)	請求の範囲	有
	請求の範囲	無
産業上の利用可能性(IA)	請求の範囲	有
	請求の範囲	無

2. 文献及び説明(PCT規則70.7)

- 文献1: JP 9-114664 A (シャープ株式会社)、1997.05.02 & US 5872991 A
文献2: 三浦宏喜、外9名、“データ駆動型プロセッサQ-pのハードウェア”、電子通信学会技術研究報告、電子通信学会、1986.11.21、Vol.86、No.225、p.93-100(CPSY86-50)
文献3: 岩田誠、外2名、“自己タイミングスーパーパイプライン型データ駆動プロセッサ”、電子情報通信学会論文誌、電子情報通信学会、1998.02.25、Vol.J81-D-I、No.2、p.62-69
文献4: JP 4-340678 A (シャープ株式会社)、1992.11.27、ファミリーなし
文献5: JP 6-124352 A (シャープ株式会社)、1994.05.06 & US 5452464 A
文献6: JP 4-248675 A (株式会社東芝)、1992.09.04、ファミリーなし
文献7: JP 9-160949 A (株式会社日立製作所)、1997.06.20、ファミリーなし
文献8: JP 10-207929 A (日本電気株式会社)、1998.08.07、ファミリーなし

文献1-3に記載のデータフロー型情報処理装置は、処理回路モジュール及び合流回路モジュールを備えた情報処理装置といえる。

ボトルネックを解消するために並列化を行うことは周知技術(例えば、文献4参照。)である。

データフロー型情報処理装置にノイマン型情報処理装置(すなわち、汎用の計算機。)を結合することは知られており(文献5参照。)、これを文献1-3に記載のデータフロー型情報処理装置に応用することは当業者が容易に推考し得ることである。

ソフトウェアの一部又は全部をハードウェア化することは周知技術(例えば、文献6-8参照。)である。

Ⅷ. 国際出願に対する意見

請求の範囲、明細書及び図面の明瞭性又は請求の範囲の明細書による十分な裏付についての意見を次に示す。

1. 25.06.2004付の書簡と共に提出された補正による請求の範囲第28項には「処理機能に含まれる複数の要素機能のそれぞれを独立して遂行するよう動作する複数のハードウェア回路ブロック」と記載されている。

しかしながら、回路は他の回路から信号を入力している限り、他の回路に依存して動作するともいえる点に留意すると、前記記載は明細書における開示と対応しない。

2. 25.06.2004付の書簡と共に提出された補正による請求の範囲第28項に記載の「共通の所定のデータパケット」は、データの内容が同一のデータパケットを意味するのか、フォーマットのみが同一のデータパケットを意味するのか、データ長が同一のデータパケットを意味するのか、それら以外を意味するのか不明瞭である。
また、その結果、明細書における開示との対応が不明である。

3. 25.06.2004付の書簡と共に提出された補正による請求の範囲第36項において、回路ブロックにおける処理回路ブロックと合流回路ブロックと回路モジュールとの関係が不明瞭である。

4. 25.06.2004付の書簡と共に提出された補正による請求の範囲第39項におけるUPL装置、UPLパケット、UPL処理回路、UPL合流回路等の造語について技術的範囲を特定することができない。

また、その結果、単一性について判断できない。

補充欄 (いずれかの欄の大きさが足りない場合に使用すること)

第 I 欄の続き

1. 29.03.2004付の書簡と共に提出された、初期化に係る記載を追加する第19頁の補正は、出願時における国際出願の開示の範囲を超えている。

2. 25.06.2004付の書簡と共に提出された、データパケットに、複数のデータセットから成るデータ部分が含まれていることに係る記載を追加する請求の範囲第28項の補正は、出願時における国際出願の開示の範囲を超えている。
第29-32項についても同様である。

3. 25.06.2004付の書簡と共に提出された、処理回路モジュールが、複数の処理回路モジュールと合流回路モジュールとから構成されることに係る記載を追加する請求の範囲第33-35項の補正は、出願時における国際出願の開示の範囲を超えている。

4. 25.06.2004付の書簡と共に提出された、共通インターフェース及びクロック変換モジュールに係る記載を追加する請求の範囲第35項の補正は、出願時における国際出願の開示の範囲を超えている。

5. 25.06.2004付の書簡と共に提出された、回路ブロックと処理回路ブロックと合流回路ブロックと処理回路モジュールと合流回路モジュールとからなる構造に係る記載を追加する請求の範囲第36項における補正は、出願時における国際出願の開示の範囲を超えている。
第37-38項についても同様である。

6. 25.06.2004付の書簡と共に提出された、処理回路ブロックが、イーサネットユニット、IPユニット、TCPユニット、HTTPユニット、コンテンツユニット、およびUDPユニットのうちのいずれかであることに係る記載を追加する請求の範囲第38項の補正は、出願時における国際出願の開示の範囲を超えている。例えば、出願当初の第15図におけるIPモジュールは、2入力2出力であるから、UPL処理回路ではない。

7. 25.06.2004付の書簡と共に提出された、請求の範囲第39項の補正は、出願時における国際出願の開示の範囲を超えている。

断化されたパケットの復元などの処理、自分宛でないパケットのフォワード処理なども適宜行う。またTCPモジュールやICMP回路、その他の回路からのUPLをUPL合流回路により1つに集約し、IPモジュールのIP送信回路に接続される。送信先に関する情報がIP層不完全ヘッダとして、TCPなど前段モジュールから与えられる。これらの情報から、IP送信回路ではIP層完全ヘッダを構成し、イーサネット送信回路へ出力する。TCPモジュールでは、TCPで定めたプロトコル処理を、また、HTTPモジュールでは、HTTPで定められたプロトコル処理を行う。

コンテンツモジュールでは、Webサーバがクライアントコンピュータに送り返すべきWebデータを保持している。保持機構としては、フラッシュメモリ・スタティックメモリ等電氣的記憶装置、このほかにもハードディスクといった磁氣的記憶装置等、電気回路と接続可能な様々な記憶装置をもちいることができる。

OSI 7階層モデル

図16 (a) に、ネットワークの基本となる構想であるOSI 7階層モデルに本発明のUPLを適用した例を示す。OSI 7階層モデルは、図のように第1層（物理層）、第2層（データリンク層）、第3層（ネットワーク層）、第4層（トランスポート層）、第5層（セッション層）、第6層（プレゼンテーション層）、第7層（アプリケーション層）を含んでいる。ここで各層は、第N層送信回路7と第N層受信回路6によって接続され、それぞれの層がUPL規格に従った伝送方式によって隣り合った層との間で通信を行っている。また、第1層の処理回路に接続された外部受信回路、外部送信回路、コネクタおよびケーブルを介して外部のネットワークと接続されている。外部のネットワークとの通信には当業者には周知の転送方式を使用することもできる。図16 (b) は、OSI 7階層モデルの隣り合う層の接続部分の拡大図を示す。ここでは、N層内のモジュールAの処理装置のUPL出力からUPLパケットが出力され、入力レジスタ、通信路、出力レジスタを介して隣接するM層($M=N+1$ or $N-1$)内のモジュールBの処理装置のUPL入力にUPLパケットが伝送されるようになっている。この例においては、各階層内に含まれる処理回路は共通のデータパケットに基づいて処理が行われている。

ここで用いられるデータパケットは、例えば、図17 (a) のような構造を有している。図17 (b) には第N層受信回路6を示した。ここで、N-1層まで

る各層の入出力処理をハードウェアで実現することができるが、出力に関して、上記UPL装置とヘッダの完全化による情報処理装置を用いて、ハードウェア上で不完全ヘッダ情報を完全ヘッダ情報に戻し、必要に応じて情報テーブルを参照しながら、必要な情報をヘッダと一緒に要求された装置に迅速に送ることができるようになっている。

その他の応用例

本発明の他の応用例(a)によれば、図18に示すように、回路間の通信量や、LSI間の物理的制約にあわせて、任意に選択された1ないし複数のUPL処理回路(およびUPL合流回路)を1つのLSIに割付して、複数のLSIの組み合わせからUPL装置を構成することができる。ここで、LSI1を例にとると、複数の入力(図では2つ)をもつUPL合流回路が、2つ以上の回路から出力されるパケットを1つのパケットに単純に合流させて出力する処理を行う。そして、つづくUPL処理回路が所定の処理(計算など)を行い結果をパケットとして出力し、つづくLSI2にパケットを伝送している。また、ここではUPL処理回路の出力の1つをUPL合流回路にフィードバックさせている。

本発明の他実施例(b)によれば、図19(a)のような回路においてUPL処理回路の処理速度がボトルネックとなっている回路を、図19(b)に示すように単体の処理速度を高速化する、または図19(c)に示すようにUPL処理回路を並列に設置することによって容易にボトルネックとなっているUPL処理回路の処理スピードを改善し、他の回路の実装を変更せずとも、装置全体の処理能力を向上することができる。

本発明の他の応用例(c)によるメモリアクセス回路を図20示す。この図に示されるように、本発明によるUPL処理回路を応用したメモリアクセス回路は、メモリのリード/ライトをするUPL処理回路と計算等をするUPL処理回路を分割することによって、図20(b)に示すようにパイプライン処理を行うことが可能となり、従来より高速な処理ができる(従来はメモリ読み込み、計算処理、メモリ書き込みの一連の動作を完了してから次の処理へと進んでいた)。ここで、図20のパイプライン処理の太線で示されたように、ある処理が終了すると次の処理のために初期化されると都合がよい。また、実際の回路では図20(c)に

19/1

示すように1つの処理回路で排他処理などのメモリ管理を行うこともできる。

SUPERSEDED REPLACEMENT SHEET (RULE 70.16(b))

補正された用紙(条約第34条)

28. (追加) ネットワーク情報処理、データマイニング、自然言語処理、DNA計算シミュレーション、物理シミュレーション、および音声・画像処理のうちの一処理機能をハードウェアにより遂行する情報処理装置であって、該処理機能に含まれる複数の要素機能のそれぞれを独立して遂行するよう動作する複数のハードウェア回路ブロックであって、各々が複数の処理回路モジュール、及び少なくとも1つの合流回路モジュールを含む複数のハードウェア回路ブロックを備え、
該処理回路モジュールの各々は、そのモジュール固有の機能を遂行するよう動作する、0入力-1もしくは複数の出力の回路、1入力-0出力の回路、1入力-1出力の回路、又は1入力-複数の出力の回路から成り、
該合流回路モジュールは、複数の入力-1出力の回路から成り、2つ以上の呼び出しに応答すべき該処理回路モジュールの入力に対して、それぞれの呼び出しに対応するデータを順番に与えるために、該合流回路に入力されるデータに何らの処理も加えることなく、複数の入力データを1つの出力データにまとめるよう動作し、
各回路モジュールは、その回路ブロックの前記回路モジュール間で統一された信号伝達を仲介するために各モジュールの入出力に設けられた手段と信号経路を介して、関連する回路モジュールと相互に接続され、
それぞれの回路モジュール間の信号伝達は、各回路モジュールを通じて共通の所定のデータパケットによる単一方向の信号伝達を用いて行われ、および
該データパケットには他の複数の処理回路モジュールを制御する情報を有するヘッダ部分と、それぞれの処理の対象となる複数のデータセットから成るデータ部分とが含まれていることを特徴とする情報処理装置。
29. (追加) 前記複数のハードウェア回路ブロックは、前記装置の処理速度のボトルネックを解消するように、機能的に並列に設置された複数の同一の要素機能を果たすハードウェア回路ブロックを含む、請求項28に記載の情報処理装置。
30. (追加) 前記処理の一部が汎用の計算機上のソフトウェア・プログラムによって行なわれ、その入出力が前記処理回路モジュールまたは／および前記合流回路モジュールに接続されている、請求項28に記載の情報処理装置。
31. (追加) 前記処理がインターネットサーバの処理である、請求項28に記載の情報処理装置。

32. (追加) 前記ハードウェア回路ブロックが、0入力-1もしくは複数出力、1入力-0出力、1入力-1出力、又は1入力-複数出力から成り、前記処理機能を実現するように、前記ハードウェア回路ブロックが、他のハードウェア回路ブロックと直接接続され、または合流回路モジュールを介して接続されている、請求項28に記載の情報処理装置。

33. (追加) 0入力1以上の出力、1入力0出力、または1入力1以上の出力を持ち、所定の機能を果たすハードウェア処理回路モジュールと、複数の入力と1の出力を持ち、複数の入力からのパケットを順序だてて出力する機能だけを有する合流回路モジュールとからなり、それぞれの回路モジュールは単一方向のヘッダ情報とデータ情報を含み、全回路モジュールについて共通のデータパケットによって信号伝達を行う、という取り決めに従う回路構成を含む情報処理装置であって、

前記装置は、所望の機能を実現するために、所望の機能をいくつかの要素機能に分割し、前記要素機能のそれぞれの処理に対応する複数の処理回路モジュールと1以上の合流回路モジュールとを前記取り決めに従うように組み合わせて構成され、

ここで前記複数の処理回路モジュールの各々は、その対応する要素機能がさらに細分化された細分化機能に対応する複数の処理回路モジュールと、合流回路モジュールとから構成され、この細分化機能に対応するそれぞれの回路モジュールもまた前記取り決めに従うことを特徴とする情報処理装置。

34. (追加) 要素機能または細分化機能を高速に処理するために、前記要素機能に対応する複数の処理回路モジュール、または前記細分化機能に対応する複数の処理回路モジュール、同じ回路ブロックが複数並列に動作される、請求項33記載の装置。

35. (追加) 0入力1以上の出力、1入力0出力、または1入力1以上の出力を持ち、所定の機能を果たすハードウェア処理回路モジュールと、複数の入力と1の出力を持ち、複数の入力からのパケットを順序だてて出力する機能だけを有する合流回路モジュールとからなり、それぞれの回路モジュールは単一方向のヘッダ情報とデータ情報を含み、全回路モジュールについてUPLパケットによって信号伝達を行う、という取り決めに従う回路構成を含む情報処理装置であって、

所望の機能を実現するために、所望の機能をいくつかの要素機能に分割し、

25/1

前記要素機能のそれぞれの処理に対応する複数の処理回路モジュールと1以上の合流回路モジュールとを前記取り決めに従うように組み合わせて構成され、

ここで前記複数の処理回路モジュールの各々は、その対応する要素機能がさらに細分化された細分化機能に対応する複数の処理回路モジュールと、1以上の合流回路モジュールとから構成され、この細分化機能に対応するそれぞれの回路モジュールもまた前記取り決めに従うように構成されるというようにネスト（あるいは、入れ子状）構造になっており、

前記装置は、さらに

クロックの指定をせずにビット幅の宣言のみで、前記細分化機能と前記要素機能とに対応する処理回路モジュールのそれぞれを接合する共通インターフェース部分と、

クロックが異なるモジュールを接合する場合には、モジュール間の接続をするために、前記細分化機能と前記要素機能のそれぞれに対応するハードウェア回路の間に挟み込まれるクロック変換モジュールとを含み、

その処理回路モジュールによって処理されるべき機能の抽象度の類似した回路モジュール同士の結合や、抽象度のかけ離れたモジュール間でも前記インターフェース部分をビット幅とクロック定義を分離し前記UPLパケットにより通信させることによって、また場合によっては前記クロック変換モジュールを使うことにより接続が容易になっていることを特徴とする情報処理装置。

36. （追加） 所定の情報処理を行うソフトウェア・プログラムの一部又は全てをハードウェア化することにより構成された複数の回路ブロックを含む情報処理装置であって、該回路ブロックの各々が複数の回路モジュールを含むものである情報処理装置において、

該複数の回路ブロックは、各々が該所定の情報処理を構成する個々の情報処理要素を実行するよう機能する複数の処理回路ブロックと、複数のデータを受信してこれを1つのデータ系列にまとめて出力するよう機能する少なくとも1つの合流回路ブロックとからなり、およびこれら回路ブロックは、ヘッダ部分と処理の対象となるデータ部分とを含む、全回路ブロックについて共通のフォーマットのデータパケットを搬送する単一方向伝達手段により相互に接続されており、そして

該複数の回路モジュールは、各々が所定のデータ処理を実行するよう動作する複数の処理回路モジュールと、複数のデータを受信してこれを1つのデータ系列にまとめて出力するよう動作する少なくとも1つの合流回路モジュールとからなり、これら回路モジュールは、全回路モジュールについて共通のフォーマット

25/2

ットのデータパケットを搬送する単一方向伝達手段により相互に接続されていることを特徴とする情報処理装置。

37. (追加) 該所定の情報処理装置が、データマイニング、自然言語処理、ネットワーク情報処理、DNA計算シミュレータ、物理シミュレーション、および音声・画像処理の機能のうちの1つである、請求項36に記載の情報処理装置。

38. (追加) 該処理回路ブロックが、イーサネットユニット、IPユニット、TCPユニット、HTTPユニット、コンテンツユニット、およびUDPユニットのうちのいずれかである、請求項36又は37に記載の情報処理装置。

39. (追加) UPL装置に入力されたUPLパケットに、

(1) 処理するにあたって必要なすべてのデータをメモリ装置から読み出しUPLパケットに付加するステップと、

(2) もともと入力されたデータとメモリ装置から読み出したデータを1つのパケットとしてUPL処理回路により所定の処理を行なうステップと、

(3) UPL処理回路の出力パケットのなかのデータのうち、別のUPLパケットの処理に必要なデータをメモリ装置に書き込み、UPL装置の出力として必要なデータだけを含んだUPLパケットを出力するステップと、を行うUPL処理装置において、

該ステップ(1)および(3)の処理における該メモリ装置に接続する第1のUPL処理回路と、

該ステップ(2)の処理を行う第2のUPL処理回路と、





該第1および第2のUPL処理回路を接続するUPL合流回路とを含み、

該第1および第2のUPL処理回路および該UPL合流回路に含まれる全ての回路が独立して動作することにより、各UPLパケットに対してパイプライン動作を行なうことで高速な処理を実現することを特徴とするUPL処理装置。

SUPERSEDED REPLACEMENT SHEET(RULE70.16(b))

補正された用紙(条約第34条)

23
請求の範囲

- 1.
- 2.
- 3.
4. 
- 5.
- 6.
- 7.
- 8.
- 9.
10. 
11. 
12. 
- 13.
- 14.
- 15.
16. (削除)
17. (削除)
18. (削除)
19. (削除)
20. (削除)
21. (削除)
22. (削除)
23. (削除)
24. (削除)
25. (削除)
26. (削除)
27. (削除)

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference ET001PC	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP2003/007991	International filing date (day/month/year) 24 June 2003 (24.06.2003)	Priority date (day/month/year) 26 June 2002 (26.06.2002)
International Patent Classification (IPC) or national classification and IPC G06F 7/00, 17/50		
Applicant E-TREES.JAPAN INC.		

<p>1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.</p> <p>2. This REPORT consists of a total of <u>8</u> sheets, including this cover sheet.</p> <p><input checked="" type="checkbox"/> This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).</p> <p>These annexes consist of a total of <u>9</u> sheets.</p>	
<p>3. This report contains indications relating to the following items:</p> <p>I <input checked="" type="checkbox"/> Basis of the report</p> <p>II <input type="checkbox"/> Priority</p> <p>III <input type="checkbox"/> Non-establishment of opinion with regard to novelty, inventive step and industrial applicability</p> <p>IV <input type="checkbox"/> Lack of unity of invention</p> <p>V <input checked="" type="checkbox"/> Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement</p> <p>VI <input type="checkbox"/> Certain documents cited</p> <p>VII <input type="checkbox"/> Certain defects in the international application</p> <p>VIII <input checked="" type="checkbox"/> Certain observations on the international application</p>	

Date of submission of the demand 04 December 2003 (04.12.2003)	Date of completion of this report 26 August 2004 (26.08.2004)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP2003/007991

I. Basis of the report

1. With regard to the elements of the international application:*

- ☐ the international application as originally filed
- ☒ the description:
 pages 1-16, 18-22, as originally filed
 pages _____, filed with the demand
 pages 17, 17/1, filed with the letter of 29 March 2004 (29.03.2004)
- ☒ the claims:
 pages _____, as originally filed
 pages _____, as amended (together with any statement under Article 19
 pages _____, filed with the demand
 pages _____, filed with the letter of 25 June 2004 (25.06.2004)
- ☒ the drawings:
 pages 1-24, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____
- ☐ the sequence listing part of the description:
 pages _____, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____

2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language _____ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☒ The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☒ the claims, Nos. 1-27
- ☐ the drawings, sheets/fig _____

5. ☒ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP 03/07991

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement**1. Statement**

Novelty (N)	Claims	_____	YES
	Claims	_____	NO
Inventive step (IS)	Claims	_____	YES
	Claims	_____	NO
Industrial applicability (IA)	Claims	_____	YES
	Claims	_____	NO

2. Citations and explanations

Document 1: JP 9-114664 A (Sharp Corporation), 2 May 1997
& US 5872991 A

Document 2: Hirokichi Miura et al., "Data Kudou-gata
Processor Q-p no Hardware", Denshi Tsuushin
Gakkai Gijutsu Kenkyuu Houkoku, Denshi
Tsuushin Gakkai, 21 November 1986, Vol. 86,
No. 225, pages 93 to 100 (CPSY86-50)

Document 3: Makoto Iwata et al., "Jiko Timing Super
Pipeline-type Data Kudou Processor", Denshi
Jouhou Tsuushin Gakkai Ronbunshi, Denshi
Jouhou Tsuushin Gakkai, 25 February 1998,
Vol. J81-D-I, No. 2, pages 62 to 69

Document 4: JP 4-340678 A (Sharp Corporation), 27 November
1992 (Family: none)

Document 5: JP 6-124352 A (Sharp Corporation), 6 May 1994
& US 5452464 A

Document 6: JP 4-248675 A (Toshiba Corporation), 4
September 1992 (Family: none)

Document 7: JP 9-160949 A (Hitachi, Ltd.), 20 June 1997
(Family: none)

Document 8: JP 10-207929 A (NEC Corporation), 7 August
1998 (Family: none)

The data flow-type information processor set forth

in documents 1 to 3 may be described as an information processor provided with a processing circuit module and a merge circuit module.

It is a known technique to carry out operations in parallel in order to resolve bottlenecks (see document 4, for example).

It is a known technique to join a Neumann-type information processor (i.e. a general-purpose computer) to a data flow-type information processor (see document 5), and it would be easy for a person skilled in the art to conceive of applying a Neumann-type information processor to the data flow-type information processor described in documents 1 to 3.

It is a known technique to incorporate all or part of software into hardware (see documents 6 to 8, for example).

Supplemental Box

(To be used when the space in any of the preceding boxes is not sufficient)

Continuation of: I.

1. The amendment to page 19 which was submitted together with the letter dated 29 March 2004, adds a disclosure relating to initialization, and goes beyond the disclosure in the international application as filed.

2. The amendment to claim 28 submitted together with the letter dated 25 June 2004, wherein a disclosure is added relating to the fact that a data portion comprising plurality of data sets is contained in a data packet, goes beyond the disclosure in the international application as filed.

The same applies to claims 29 to 32.

3. The amendment to claims 33 to 35 submitted together with the letter dated 25 June 2004, wherein a disclosure is added relating to the fact that the processing circuit module comprises a plurality of processing circuit modules and merge circuit modules, goes beyond the disclosure in the international application as filed.

4. The amendment to claim 35 submitted together with the letter dated 25 June 2004, wherein a disclosure is added relating to the common interface and clock conversion module, goes beyond the disclosure in the international application as filed.

5. The amendment to claim 36 submitted together with the letter dated 25 June 2004, wherein a disclosure is added relating to a structure comprising a circuit block, a processing circuit block, a merge circuit block, a processing circuit module and a merge circuit module,

Supplemental Box

(To be used when the space in any of the preceding boxes is not sufficient)

Continuation of: I.

goes beyond the disclosure in the international application as filed.

The same applies to claims 37 and 38.

6. The amendment to claim 38 submitted together with the letter dated 25 June 2004, wherein a disclosure is added relating to the fact that a processing circuit block is constituted by one of an Ethernet unit, an IP unit, a TCP unit, an HTTP unit, a contents unit and a UDP unit, goes beyond the disclosure in the international application as filed. For example, the IP module in fig. 15 of the original application is two-input, two-output, and is not a UPL processing circuit.

7. The amendment to claim 39 submitted together with the letter dated 25 June 2004 goes beyond the disclosure in the international application as filed.

VIII. Certain observations on the international application

The following observations on the clarity of the claims, description, and drawings or on the question whether the claims are fully supported by the description, are made:

1. The amended claim 28 according to the amendments submitted together with the letter dated 25 June 2004 contains the wording "a plurality of hardware circuit blocks which operate in such a manner as to independently execute consecutively the plurality of constituent functions contained in the processing function".

However, taking into account the fact that circuits operate relative to other circuits, as long as signals are inputted from another circuit, the aforementioned disclosure does not correspond with the disclosure in the description.

2. The amended claim 28 according to the amendments submitted together with the letter dated 25 June 2004 contains the wording "common predetermined data packet," and it is unclear whether this refers to data packets having the same data content, data packets having only the same format, or data packets having the same data length.

As a consequence, the correspondence with the disclosure in the description is unclear.

3. In the amended claim 36 according to the amendments submitted together with the letter dated 25 June 2004, the relation between the processing circuit block, the merge circuit block and the circuit module in the circuit block is unclear.

4. It is impossible to specify technical scope with coined terms such as UPL unit, UPL packet, UPL processing circuit and UPL merge circuit in the amended claim 39 according to the amendments submitted together with the letter dated 25

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.
PCT/JP 03/07991

VIII. Certain observations on the international application

June 2004.

Moreover, as a result, a judgment cannot be made
about unity of invention.

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.